

DEFACTO Technologies 사 SoC Compiler

A. 목적 : SoC Integration & Verification

B. 구분 : RTL 기반 SoC 통합 관리 Solution

C. Supported Platform and O/S System

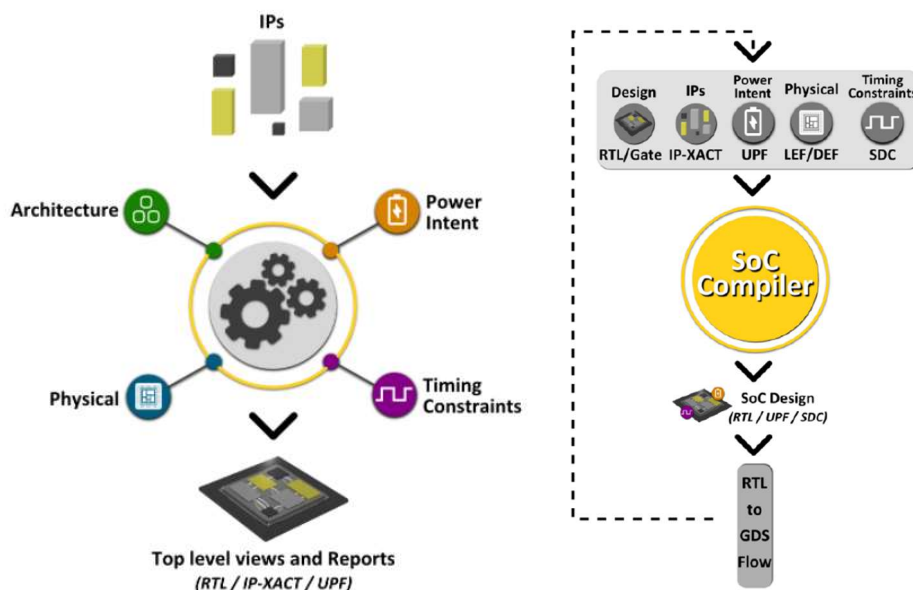
- RHEL 6, 7 (64bit)

D. 특성

Design 에 대한 Edit 기능을 통해 RTL 을 최적화하고, 이를 통해 SoC 환경 구축에 필요할 수 있도록 고유한 여러 기능 제공

Key Features

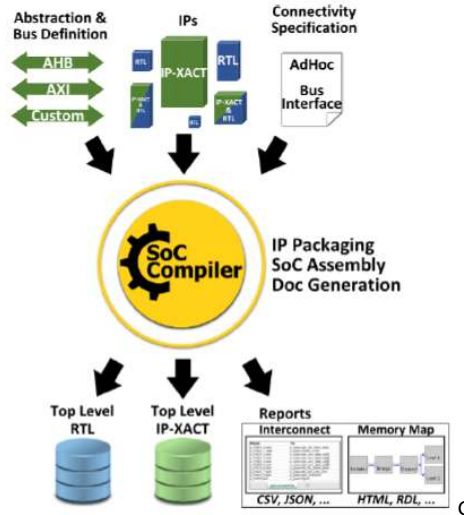
- 상용화 HDL 언어 지원
 - Verilog, SystemVerilog, VHDL or a mix
 - 다양한 input 지원: IP-XACT, UPF, SDC, LEF/DEF, .lib
 - Integration 이전 IP 에 대한 package 불필요
- 기존 Top RTL 활용 및 새로운 Top level 생성 지원
- Instance 의 매개 변수화를 통한 IP integration 지원
- Connection 진행의 자동화 지원
- Core 와 memory wrapping 자동화 지원
- 즉각적인 Design refactoring 지원
- Power, Physical, Timing 정보를 기반으로 서로 다른 통합 구성 생성
- Top level RTL view 및 Design view 생성 지원 (IP-XACT, UPF, SDC)



E. 기능

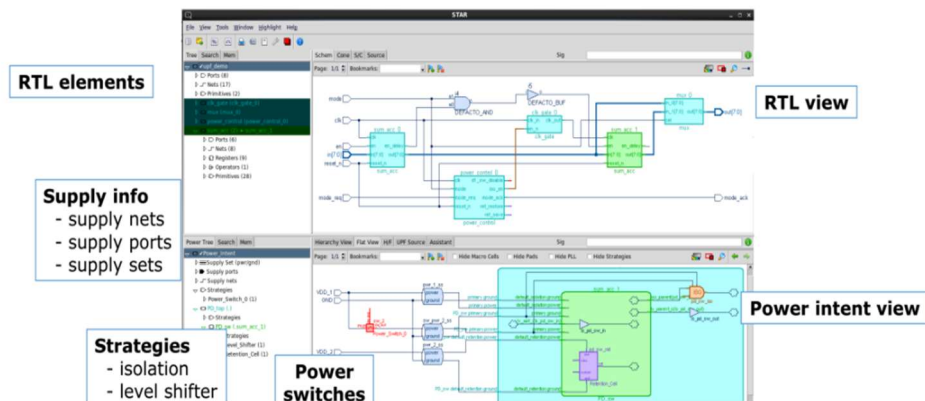
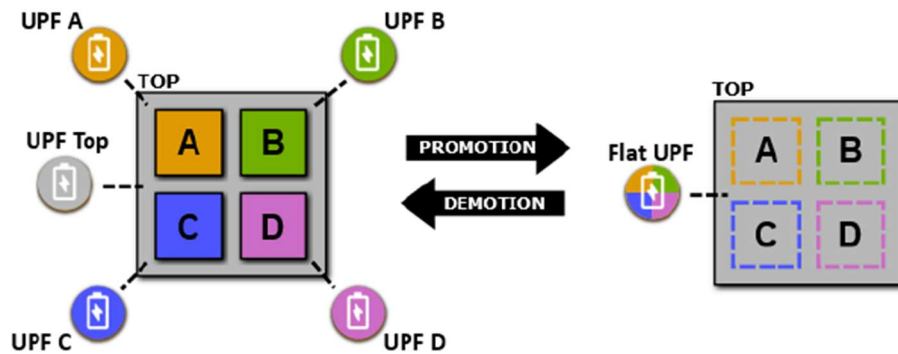
1) IPXACT : RTL 과 IP-XACT 간 양방향 변환 지원

- RTL 과 IP-XACT 간 통일성 검증 지원
- IEEE 표준의 IPXACT 2009 & 2014 & 2021 Syntax 지원
- IPXACT 관리를 위한 Tcl, Python, C++ 등의 API 지원



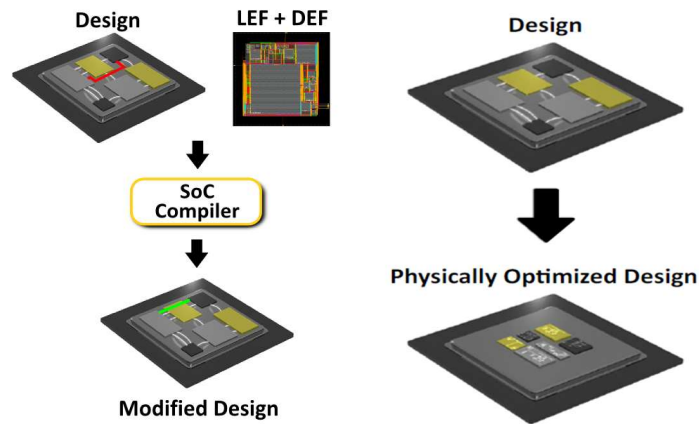
2) Power Intent : RTL 과 UPF 간 양방향 변환 지원

- RTL & Liberty 와 UPF 간의 통일성 검증 지원
- GUI 기반, 혹은 XLS 기반 환경 setup 가능
- UPF 1.0 / 2.0 / 2.1 / 3.0 언어 지원
- UPF 관리를 위한 Python, C++ 등의 API 지원



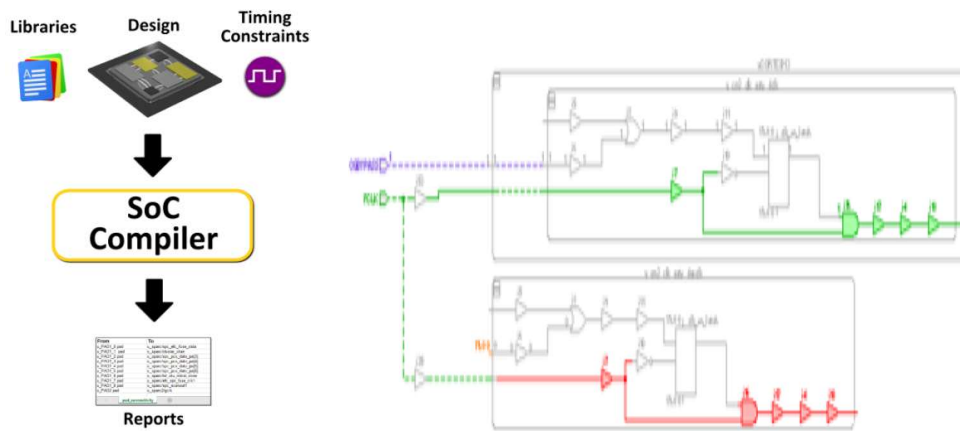
3) Physical : Design 최적화 및 관리 기능

- RTL Editing에 따른 LEF 정보의 변화 정도를 표시
- Area Optimization으로 Design의 Effective chip size를 관리



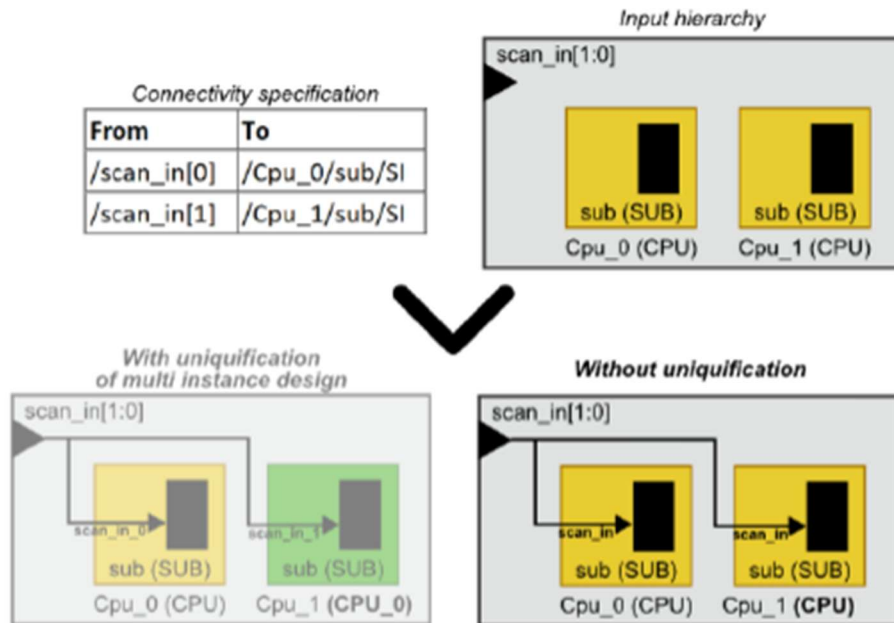
4) Timing Constraints : Clock 을 SDC 형식으로 변환하여 관리하는 기능

- 복잡한 설계에 대한 체계적인 분석 기능 제공
- GUI 를 통한 환경 setup
- Tcl wildcards 언어 및 Python, C++ 등의 API 지원



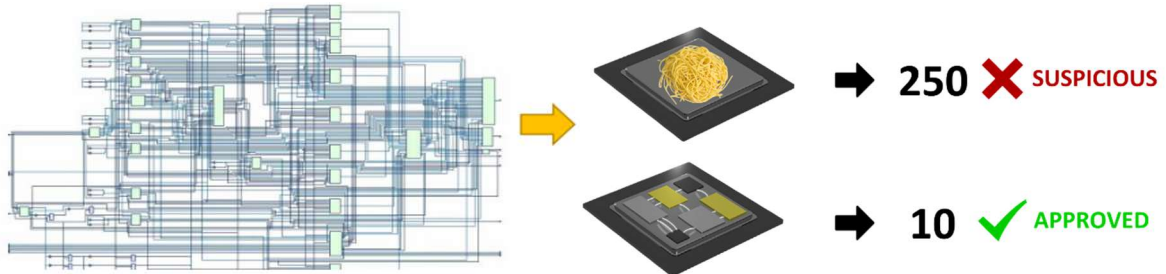
5) Connectivity Reporting

- From IP to Top 정보, Pin 정보 (Open / tied) 에 대한 Reporting 기능 지원
- User 편의성에 따른 Customizable Report 지원 가능



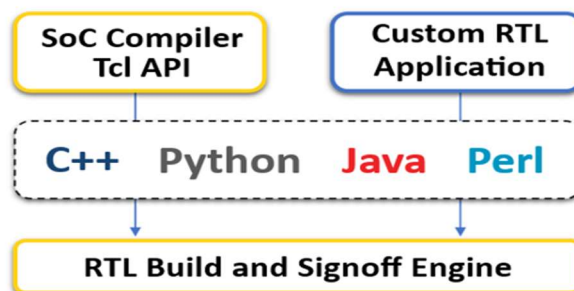
6) Metrics Extraction : Metrics 항목에 따라 Code Complexity에 대한 Scoring 제공

- 코드의 복잡도를 관리함으로써 코드의 Quality Enhancement 도모
- 기능의 고도화를 위해 Metrics 항목을 수요에 맞게 점진적 추가



7) API Integration

- Perl / Java / Ruby / C++ 등에 대한 호환
- HDL Reading 편의성을 위한 filelist 입력 지원
- 플러그인 개발 및 관리 용이



회사 로고(이미지 삽입)



회사명 : (주) 링크글로벌21

웹페이지 : www.linkglobal21.com

이메일 : eda@linkglobal21.com

대표전화 : 070-5138-0700